





METHOD FOR FORMING CLADDING LAYER IN TOP CONDUCTOR

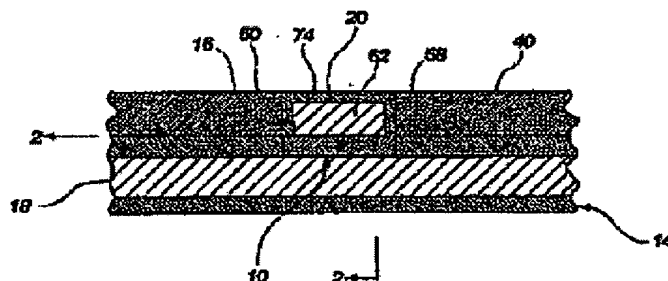
Patent number: JP2002334973
Publication date: 2002-11-22
Inventor: NICKEL JANICE H; ANTHONY THOMAS C
Applicant: HEWLETT PACKARD CO
Classification:
- **International:** H01L27/105; G11C11/14; G11C11/15; H01L43/08
- **European:** G11C11/16; H01L21/8246M; H01L27/22
Application number: JP20020060538 20020306
Priority number(s): US20010802650 20010309

Also published as:

 EP1239489 (A1)
 US6475812 (B2)
 US2002127743 (A1)
 EP1239489 (B1)

Abstract of JP2002334973

PROBLEM TO BE SOLVED: To provide a cladding method for a magnetic memory device for reducing power consumption and stabilize operations. **SOLUTION:** The method for cladding two or three sides of a top conductor for magnetic memory device with a ferromagnetic material includes a step of forming a trench, having sidewalls in a coating layer above the memory device. A first ferromagnetic material is deposited along the sidewalls of the trench. All the ferromagnetic materials in the bottom of the trench can be removed. A conductor material is deposited in the trench over the memory device. A second ferromagnetic material is deposited on the conductor material in the trench, and a cladding of the ferromagnetic material is formed around three sides of the conductor.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-334973
(P2002-334973A)

(43) 公開日 平成14年11月22日 (2002. 11. 22)

| (51) Int.Cl. ⁷ | 識別記号 | F I | 特許出願公開番号 |
|---------------------------|------|---------------|-------------|
| H 0 1 L 27/105 | | G 1 1 C 11/14 | A 5 F 0 8 3 |
| G 1 1 C 11/14 | | 11/15 | |
| 11/15 | | H 0 1 L 43/08 | Z |
| H 0 1 L 43/08 | | 27/10 | 4 4 7 |

審査請求 未請求 請求項の数1 OL (全 8 頁)

| | | | |
|--------------|---------------------------|----------|--|
| (21) 出願番号 | 特願2002-60538(P2002-60538) | (71) 出願人 | 398038580 ヒューレット・パカード・カンパニー HEWLETT-PACKARD COM PANY アメリカ合衆国カリフォルニア州パロアル ト ハノーバー・ストリート 3000 |
| (22) 出願日 | 平成14年3月6日 (2002. 3. 6) | (72) 発明者 | ジャニス・エイチ・ニッケル アメリカ合衆国カリフォルニア州94087, サニーベイル, キンバリー・ドライブ・ 1772 |
| (31) 優先権主張番号 | 0 9 / 8 0 2 6 5 0 | (74) 代理人 | 100063897 弁理士 古谷 馨 (外 3 名) |
| (32) 優先日 | 平成13年3月9日 (2001. 3. 9) | | |
| (33) 優先権主張国 | 米国 (U S) | | |

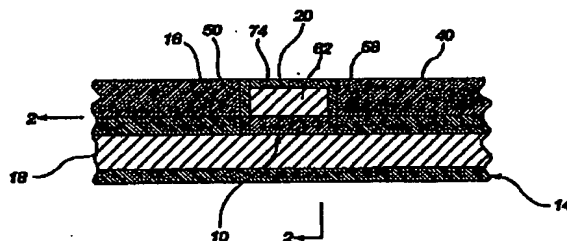
最終頁に続く

(54) 【発明の名称】 上部導体にクラッド層を形成するための方法

(57) 【要約】

【課題】消費電力を低減し、動作を安定にするための磁気メモリ素子用のクラディング法を提供する。

【解決手段】磁気メモリデバイス用の上部導体の2つまたは3つの側部を強磁性材料でクラディングするための方法であり、この方法は、メモリデバイス上のコーティング層内に側壁を有するトレンチを形成するステップを含む。第1の強磁性材料は、トレンチの側壁に沿って堆積される。トレンチの底部にある全ての強磁性材料を除去することができる。導体材料が、メモリデバイス上のトレンチ内に堆積される。第2の強磁性材料がトレンチ内の導体材料上に堆積されて、導体の3つの側部のまわりに強磁性材料のクラディングが形成される。



【特許請求の範囲】

【請求項1】強磁性材料で、メモリ素子用の上部導体の少なくとも2つの側部をクラディングするための方法であって、

- a) 前記メモリ素子上のコーティング層内に側壁を有するトレンチを形成するステップと、
- b) 前記トレンチの前記側壁に沿って強磁性材料を堆積するステップと、
- c) 前記トレンチの前記側壁に沿った前記強磁性材料間の前記トレンチ内に導体材料を堆積するステップであって、これにより前記強磁性材料のクラディングが前記上部導体の2つの側部に形成されることからなる、ステップを含む方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的には、上部導体内にクラッド層を形成するための方法であって、特に磁気RAM構造に有用な方法と、上部導体の周囲にクラッド構造を有する磁気メモリ素子に関する。

【0002】

【従来の技術】磁気ランダムアクセスメモリ(MRAM)のような磁気メモリは典型的には、磁気メモリセルのアレイを含む。各磁気メモリセルは通常、センス層と、リファレンス層とを有する。センス層は、通常、外部磁界をかけることにより変更することが可能である向きに磁化パターンを記憶する磁性材料の層あるいは薄膜である。リファレンス層は、通常、磁化が特定の方向に固定、すなわち「ピン止め」されている磁性材料の層である。磁気メモリは、多数のワード線と交差した多数のビット線を含むものとして表現することができる。各交差部では、磁気保磁性材料の薄膜が、対応するワード線とビット線との間に介在する。各交差部における磁性材料は、1ビットの情報を格納する磁気メモリセルを形成する。

【0003】磁気メモリセルの論理状態は典型的には、それ自体の電流に対する抵抗に依存する。磁気メモリセルの抵抗は、そのセンス層およびリファレンス層内の磁化の相対的な向きに依存する。磁気メモリセルは典型的には、センス層内の磁化の全体的な向きがリファレンス層内の磁化の向きに平行である場合には、低抵抗の状態にある。対照的に、センス層内の磁化の全体的な向きがリファレンス層内の磁化の向きに平行でない場合には、磁気メモリセルは典型的には高抵抗の状態にある。

【0004】十分に高い密度を達成するために、メモリセルのサイズを低減し、メモリセルの記録密度(または充填密度)を高めることが望ましい。多数の競合する要因が、そのようなメモリに対して達成することができる記録密度に影響を与える。第1の要因はメモリセルのサイズである。メモリセルのサイズは典型的には、記録密度を高めていくとともに、低減されなければならない。

しかしながら、メモリセルのサイズを低減すると、センス層の磁化の向きを切り替えるために必要とされる磁界が大きくなる。

【0005】第2の要因は、ワード線およびビット線の幅および厚みである。ワード線およびビット線の寸法は典型的には、記録密度を高めていくとともに、低減されなければならない。しかしながら、ワード線およびビット線の寸法を低減すると、それに応じて許容可能な電流が減少し、従って、対応する磁気ビット領域における磁界も減少する。

【0006】第3の要因は、ワード線とビット線との間の距離、従って隣接するメモリセル間の距離である。典型的には、ワード線とビット線との間の距離は、記録密度を高めていくとともに、減少させなければならない。しかしながら、これにより、1つの線によって生成される磁界が、隣接するメモリセルに格納される情報に悪影響を及ぼす可能性が高くなる。

【0007】改善された書込み磁界(またはフィールド)を形成する書込み導体を有する磁気メモリを開発することが有利である。さらに、磁化に対する破壊を防ぐ磁束閉じ込め構造を有する磁気メモリを開発することが有利である。さらに、そのような導体構造を製造するための方法を開発することが有利である。これを達成するために、磁気メモリの上部導体をクラディングすることが有利である。

【0008】

【発明が解決しようとする課題】本発明の目的は、磁気RAM構造に対して、強磁性材料の上部導体の2つあるいは3つの側面をクラディングするための方法を提供することである。

【0009】

【課題を解決するための手段】メモリ素子(または、メモリデバイス。以下、メモリ素子と記載する)は、同様にクラディングされた底部導体(または下部導体)を備える基板上に設けることができる。その方法は、メモリ素子および基板上に形成された絶縁性コーティング層内のメモリ素子上にトレンチ(trench)を形成するステップを含む。トレンチは、コーティング層によって形成される側壁と、メモリ素子の側表面によって形成することができる底面とを有する。第1の強磁性材料が、コーティング層上に、具体的には、トレンチの側壁に沿って堆積される。必要に応じて、トレンチの底部に堆積された第1の強磁性材料の任意の(または全ての)部分を除去することができる。導体材料がトレンチ内、およびコーティング層上に堆積される。必要に応じて、コーティング層上の任意の(または全ての)導体あるいは強磁性材料が除去される。こうして、導体の少なくとも2つの側面が、強磁性材料でクラディングされる。さらに、導体の底面をクラディングすることもできる。

【0010】導体の側面および上面の周囲に強磁性材料

のクラディングを形成するために、トレンチ内の導体材料上に第2の強磁性材料を堆積することができる。第2の強磁性材料は、また、連続したクラディングを形成するために、トレンチの側壁に沿った第1の強磁性材料上にも堆積することができる。さらに、第2の強磁性材料を堆積する前に、導体の上側表面に凹状部分（すなわち、窪み部分）を形成することができる。

【0011】トレンチの底面から第1の強磁性材料を除去するステップは、トレンチの側壁に沿って強磁性材料を残すように、強磁性材料をイオンエッチングするステップを含むことができる。

【0012】コーティング層から導体あるいは強磁性材料を除去するステップは、化学機械研磨プロセスのような、導体材料を研磨するステップを含むことが好ましい。導体材料を研磨するステップは、トレンチの導体材料内に、コーティング層の上側表面の下の高さまで延在する切れ込みあるいは凹部分を形成するステップを含むことが好ましい。

【0013】本発明のさらに他の特徴および利点は、本発明の特徴を例を用いて示す、添付図面並びに以下の詳細な説明から明かになる。

【0014】

【発明の実施の形態】本発明の原理の理解を促進するために、以下では、図面に例示した典型的な実施形態を参照するが、同じ内容を記述するために特定の用語を用いている。その場合でも、本発明の範囲を限定することを意図していないことを理解されたい。本明細書に記載した本発明の任意の代替形態およびさらに他の変更形態、また、本明細書に記載した本発明の原理の任意の他の適用形態は、本開示を手にした当業者であれば容易に想到することが可能であり、それらも本発明の範囲内のものである。

【0015】図1および図2には、従来の磁気メモリ素子またはセル、あるいは磁気RAM構造の一部が全体として10で示されており、書き込み磁界を改善し、及び／または磁気メモリセル10を安定させるための底部および上部構造、すなわち、クラディング14および16が示されている。構造14および16は、磁気メモリセル10に対する読出しおよび書き込み動作中にともに電流のための経路を提供するところの底部導体18及び上部導体20を包む。底部構造14を製造するための方法は、米国特許出願第09/492,557号に記載されており、それは参照により本明細書に援用される。さらに、そのようなクラッド（クラディング）構造は、米国特許第5,956,267号に記載されており、これも参照により本明細書に援用される。上部構造すなわちクラディング16を製造するための方法は、図3A～図3Iに示されており、以下で説明する。

【0016】図1に、底部導体18の長さ方向と平行な方向にある、クラッド構造14および16と、導体18

および20と、磁気メモリセル10との側断面図を示す。図2は、底部導体18の長さ方向と垂直な方向にある、クラッド構造14と磁気メモリセル10との側断面図を示す。

【0017】図2を参照する。磁気メモリセル10は、2つの磁気状態間で変更することができるセンス層28と、1組の「ピン止め」された磁化の向きを有するリファレンス層32とを含むことが好ましい。さらに、磁気メモリセル10は、センス層28とリファレンス層32との間にトンネル障壁36を含む。センス層28およびリファレンス層32は、障壁36のいずれか一方の側に配置することができ、互いに入れ替えることもできる。

【0018】磁気メモリセル10には、読出し動作中にトンネル障壁36を通して電荷が移動する、スピントネル素子（spin tunneling device）を用いることができる。トンネル障壁36を通り抜ける電荷の移動は、磁気メモリセル10に読出し電圧が印加される際に生じる。代替的には、磁気メモリセル10において巨大な磁気抵抗（GMR）構造を用いることができ、この場合、そのセルではトンネル障壁36が銅のような導体で置き換えられる。

【0019】上記のように、図3A～図3Iは強磁性材料であるメモリ素子10の導体の3つの側部（または側面）をクラディングするための方法を示す。その方法は、上部導体20の上側表面および相対する側面をクラディングするステップを含むことが好ましい。図3Aに示すように、メモリ素子あるいは磁気RAM構造10は、以下でさらに詳細に説明するように、基板上に設けることが好ましい。基板は、底部導体18と、底部構造すなわちクラディング14とを含む。

【0020】図3Bに示すように、絶縁性コーティング層40を、メモリ素子10上に堆積するのが好ましい。コーティング層40として、酸化物、窒化物等を用いることができる。さらに、分離誘電体層（isolation dielectric layer）42を、たとえば、コーティング層40を堆積する前に、基板上に分離誘電体層42を付加することにより、コーティング層40と基板18との間に配置するのが好ましい。

【0021】図3Cを参照すると、トレンチ46が、メモリ素子10および基板の上側のコーティング層40内に形成される。トレンチ46は、側壁50と底面54とを有する。トレンチは、当該技術分野では既知のやり方で、リアクティブイオンエッチングによって形成することができる。トレンチ46は、コーティング層40の側壁50と、メモリ素子10の上側表面とによって形成することができる。

【0022】図3Dを参照すると、強磁性クラディング材料（強磁性被覆材、以下では強磁性材料またはクラディング材料とも記載）58あるいはその第1の層が、トレンチ46の側壁50に沿って堆積される。強磁

性材料58として、ニッケル鉄(NiFe)等を用いることができる。

【0023】堆積プロセス中に、強磁性材料58を、メモリ素子10上のトレンチ46の底面54上、およびコーティング層40上に堆積することもできる。図3Eを参照すると、強磁性材料58を、トレンチ46の底面54及びコーティング層40から除去することができ、一方、側壁50に沿った強磁性材料58は残されている。強磁性材料58の除去は、当該技術分野では既知のやり方で、異方性リアクティブイオンエッチングやイオンミリング(ion milling)により行うことができる。代替的には、強磁性材料58を、メモリ素子10上に残すことができる。

【0024】図3Fを参照すると、導体材料あるいは層62が、メモリ素子10上および強磁性材料58上のトレンチ46内に堆積される。導体材料62として銅を用いることができ、それは、導電性シードを堆積し、銅からなる導体材料を電気めっきすることに堆積することができる。代替的には、導体は、物理蒸着法によって堆積することができる。また、導体材料62を、堆積中にコーティング層40上に堆積することもできる。

【0025】図3Gに示すように、コーティング層40上にある全ての導体材料62、あるいは強磁性材料58を除去することができる。さらに、導体材料62を、側壁50に沿ってクラディング材料58の上側部分66から除去するのが好ましい。導体材料62は化学機械研磨によって除去することができる。コーティング材料62を堆積することにより、導体20が形成される。皿状部70、すなわち凹状部分または切れ込みを、磁気メモリ素子10上の導体材料62内に形成することができ、それはコーティング層40の上側表面の下の高さまで延在する。皿状部70によって、以下で説明する、連続したクラッド層を形成するのが容易になる。皿状部70は、化学機械研磨、化学エッチング、あるいはイオンエッチングによって形成することができる。

【0026】図3Hを参照すると、強磁性材料74あるいはその第2の層が、トレンチ46内の導体材料62上、およびトレンチ46の側壁50に沿った強磁性材料58の上側部分66上に堆積される。また、堆積プロセス中に、強磁性材料74を、コーティング層40上に堆積することもできる。

【0027】図3Iを参照すると、コーティング層40上に堆積されたいずれの強磁性材料74も、たとえば、当該技術分野において既知の化学機械研磨によって除去することができる。側壁50に沿った強磁性材料58、および導体材料62上の強磁性材料74は、導体20の3つの側面のまわりに強磁性材料からなる連続的なクラッドまたは構造16を形成する。代替的には、トレンチの側壁に沿った強磁性材料58と、導体上の強磁性材料74との間に小さな隙間が存在する場合がある。

【0028】強磁性材料には、高透磁率の磁気薄膜、または硬質の強磁性薄膜(または、硬質の磁気薄膜)を含めることができる。

【0029】図2を参照して説明したように、磁気メモリセル10は、変更可能な磁化状態を有するセンス層28と、ピン止めされた磁化の向きを有するリファレンス層32とを含むことができる。さらに、磁気メモリセル10は、センス層28とリファレンス層32との間にトンネル障壁36を含む。この場合も、センス層とリファレンス層の位置を入れ替えることができる。

【0030】クラッド構造14または16の1つの利点は、磁気メモリセル10を所望の論理状態に書き込むために必要とされる電流レベルが低減されることである。クラッド構造は、一巻きの電磁石に類似している。導体18中を流れる電流が、クラッド構造の磁化を、その長さに沿った静的な状態から、右手の法則にしたがって電流の方向に垂直な方向に回転させる。これは、磁気メモリセル10内のセンス層28と相互に作用し、かつ、磁気メモリセル10のピン止めされたリファレンス層32に対してセンス層28内の磁化を回転させるのに有用な磁界を作り出す。

【0031】磁気メモリセル10に書き込みを行うのに必要とされる電流レベルの低減は、MRAMのような磁気メモリの電力消費を低減するので望ましい。電力消費の低減は、携帯型の用途の場合に特に有利である。さらに、磁気メモリセル10に書き込みを行うのに必要とされる電流レベルの低減は、書き込み電流を供給する電力トランジスタによって消費される集積回路チップの面積を低減し、磁気メモリのコストを低減する。

【0032】さらに、クラッド構造14あるいは16は、センス層28の磁気状態を保持するための保磁子として機能することが好ましい。クラッド構造には、磁束を閉じ込めるための機構を提供し、それにより縁部領域における減磁フィールド(または減磁磁界)の形成を防ぐ軟質の磁性材料を用いることができる。

【0033】クラッド構造と磁気メモリセル10が非常に接近して存在することにより、クラッド層がなければ生成されていた減磁フィールドが低減、あるいは除去される。これらのフィールドは、クラッド構造内を通るように向けられ、磁気メモリセル10のセンス層28において生じる減磁フィールドを大幅に低減する磁束の経路を提供する。これは、磁気メモリセル10のセンス層28内の全体的な磁化が、磁気メモリセル10内のピン止めされたリファレンス層32に対する所望の平行あるいは非平行な方向から外れるのを防ぐ。クラッド構造は、データビットを格納するための高抵抗状態および低抵抗状態の安定性を改善するという点で、磁気メモリセル10を安定化する。

【0034】当然ながら、磁気メモリは、磁気メモリセル10と共にさらに別の磁気メモリセルを含む磁気メモ

リセルのアレイを含むことができる。磁気メモリは、磁気メモリセルに対して、読み出しアクセスおよび書き込みアクセスを可能にする導体の配列を含むことができる。さらに、クラッド導体のアレイを設けることもできる。

【0035】上部導体20をクラディングすることにより、MRAM構造を切り替えるために、所与の電流に対してクラディングせずに得られるものより、上部導体20から約2〜3倍大きな磁界を与えることができる。さらに、代替的には、上部保磁子構造16によって、所与の磁界を発生するための電流を大幅に低減できるであろう。

【0036】上記の構成は、本発明の原理の適用形態の単なる例示である。当業者であれば、本発明の思想および範囲から逸脱することなく、多数の変更形態および代替構成を考案することが可能であり、特許請求の範囲は、そのような変更形態および構成を網羅することを意図している。従って、本発明を現時点で最も実用的で、好ましい実施形態と思われる形態に関して、個別にかつ詳細に図示し、説明したが、特許請求の範囲に記載されている本発明の原理および概念から逸脱することなく、本発明に対して、サイズ、材料、形状、形態および機能の相違、並びに動作、製造および使用の態様の相違（但し、これらに限定されるわけではない）を含む多くの変更をなすことが可能であることは、当業者には明らかであろう。

【0037】以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施態様を示す。

1. 強磁性材料で、メモリ素子用の上部導体の少なくとも2つの側部をクラディングするための方法であって、

a) 前記メモリ素子上のコーティング層内に側壁を有するトレンチを形成するステップと、
b) 前記トレンチの前記側壁に沿って強磁性材料を堆積するステップと、
c) 前記トレンチの前記側壁に沿った前記強磁性材料間の前記トレンチ内に導体材料を堆積するステップであって、これにより前記強磁性材料のクラディングが前記上部導体の2つの側部に形成されることからなる、ステップを含む方法。

2. 前記上部導体の3つの側部の周囲に前記強磁性材料のクラディングを形成するために、前記トレンチ内の前記導体材料上に強磁性材料を堆積するステップをさらに含む、上項1に記載の方法。

3. トレンチの側壁に沿って強磁性材料を堆積する前記ステップが、前記トレンチの底部に強磁性材料を堆積するステップと、前記トレンチの側壁に沿って強磁性材料を残しつつ、前記トレンチの底部の少なくとも一部から強磁性材料を除去するステップをさらに含むことからなる、上項1に記載の方法。

4. トレンチ内に導体材料を堆積する前記ステップが、前記コーティング層上に導体材料を堆積するステップと、前記コーティング層上の前記導体材料を除去するために前記導体材料を研磨するステップをさらに含むことからなる、上項1に記載の方法。

5. 導体材料を研磨する前記ステップが、前記コーティング層の上側表面の下の高さまで延在する窪みを、前記トレンチ内の前記導体材料内に形成するステップをさらに含むことからなる、上項4に記載の方法。

6. 前記コーティング層の上側表面の下の高さまで延在する窪みを、前記トレンチ内の前記導体材料内に形成するステップをさらに含む、上項1に記載の方法。

7. 磁気RAM構造の上部導体の少なくとも2つの側部のまわりに強磁性クラディングを形成するための方法であって、

a) 磁気RAM構造を設けるステップと、
b) 前記磁気RAM構造上にコーティング層を堆積するステップと、
c) 前記磁気RAM構造上の前記コーティング層内に側壁と底部とを有するトレンチを形成するステップと、
d) 前記トレンチの前記側壁に沿って強磁性クラディング材料を堆積するステップと、
e) 前記トレンチの前記側壁に沿って前記強磁性クラディング材料を残しつつ、前記磁気RAM構造上の前記トレンチの前記底部から全ての強磁性クラディング材料のうちの少なくとも一部を除去するステップと、
f) 前記磁気RAM構造上の前記トレンチ内に導体材料を堆積するステップを含む、方法。

8. 磁気RAM構造の上部導体の上面部及び対向する側部のまわりに強磁性クラディングを形成するための方法であって、

a) 基板上に配置された前記磁気RAM構造を設けるステップと、
b) 前記磁気RAM構造及び前記基板上にコーティング層を堆積するステップと、
c) 前記磁気RAM構造上の前記コーティング層内に側壁と底部とを有するトレンチを形成するステップと、
d) 前記コーティング層及び前記磁気RAM構造上で、かつ前記トレンチの前記側壁に沿って強磁性クラディング材料を堆積するステップと、

e) 前記トレンチの前記側壁に沿った前記強磁性クラディング材料を残しつつ、前記磁気RAM構造上の前記トレンチの前記底部から、及び前記コーティング層から前記強磁性クラディング材料の少なくとも一部を除去するステップと、

f) 前記磁気RAM構造上の前記トレンチ内、及び前記コーティング層上に導体材料を堆積するステップと、
g) 前記導体材料を研磨して、前記コーティング層の上と、前記トレンチの前記側壁に沿った前記強磁性クラディング材料の上側部分の上とから全ての導体材料を除

去するステップと、

h) 前記コーティング層、前記トレンチ内の前記導体材料、及び前記トレンチの前記側壁に沿った前記強磁性クラディング材料の前記上側部分の上側に強磁性クラディング材料の層を堆積するステップと、

i) 前記トレンチ内の前記導体材料上の前記強磁性クラディング材料の層の一部を残しつつ、前記コーティング層上の全ての強磁性クラディング材料を除去するために、前記強磁性クラディング材料の層を研磨するステップを含む、方法。

9. a) 下部導体と、側面および上部を有する上部導体とを備える磁気RAM構造と、

b) 前記上部導体の少なくとも前記側面上に配置される強磁性クラディングを含む、磁気メモリ素子。

10. 前記上部導体の上部に配置された強磁性クラディングをさらに含む、上項9に記載の素子。

【0038】本発明の概要は次のようである。磁気メモリデバイス用の上部導体の2つまたは3つの側部を強磁性材料でクラディングするための方法であり、この方法は、メモリデバイス上のコーティング層内に側壁を有するトレンチを形成するステップを含む。第1の強磁性材料は、トレンチの側壁に沿って堆積される。トレンチの底部にある全ての強磁性材料を除去することができる。導体材料が、メモリデバイス上のトレンチ内に堆積される。第2の強磁性材料がトレンチ内の導体材料上に堆積されて、導体の3つの側部のまわりに強磁性材料のクラディングが形成される。

【0039】

【発明の効果】本発明によれば、消費電力が少なく、かつ、安定した情報の記録を行うことが可能な磁気メモリが得られる。

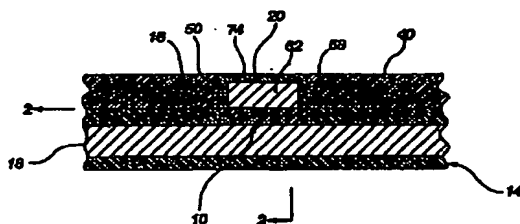
【図面の簡単な説明】

【図1】本発明に従う磁気メモリ素子の側断面図であり、下部導体と上部導体とが示されている。

【図2】図1の磁気メモリ素子の側断面図に垂直な端面断面図であり、下部導体とが示されている。

【図3A】図3B～図3Iと共に、本発明による、磁気メモリ素子の上部および側部の近くに強磁性クラディングを形成するための方法を示す側断面図である。 *

【図1】



* 【図3B】図3A及び図3C～図3Iと共に、本発明による、磁気メモリ素子の上部および側部の近くに強磁性クラディングを形成するための方法を示す側断面図である。

【図3C】図3A、図3B及び図3D～図3Iと共に、本発明による、磁気メモリ素子の上部および側部の近くに強磁性クラディングを形成するための方法を示す側断面図である。

【図3D】図3A～図3C、及び、図3E～図3Iと共に、本発明による、磁気メモリ素子の上部および側部の近くに強磁性クラディングを形成するための方法を示す側断面図である。

【図3E】図3A～図3D、及び、図3F～図3Iと共に、本発明による、磁気メモリ素子の上部および側部の近くに強磁性クラディングを形成するための方法を示す側断面図である。

【図3F】図3A～図3E、及び、図3G～図3Iと共に、本発明による、磁気メモリ素子の上部および側部の近くに強磁性クラディングを形成するための方法を示す側断面図である。

【図3G】図3A～図3F、図3H及び図3Iと共に、本発明による、磁気メモリ素子の上部および側部の近くに強磁性クラディングを形成するための方法を示す側断面図である。

【図3H】図3A～図3G、及び図3Iと共に、本発明による、磁気メモリ素子の上部および側部の近くに強磁性クラディングを形成するための方法を示す側断面図である。

【図3I】図3A～図3Hと共に、本発明による、磁気メモリ素子の上部および側部の近くに強磁性クラディングを形成するための方法を示す側断面図である。

【符号の説明】

10 磁気メモリセル

18 下部導体

20 上部導体

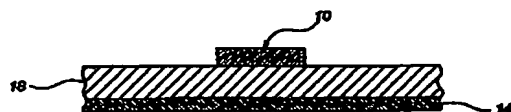
40 コーティング層

46 トレンチ

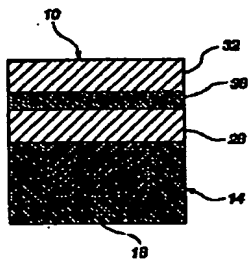
58 強磁性材料（クラディング材料）

62 導体材料

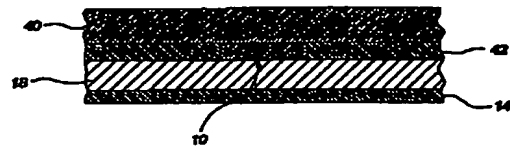
【図3A】



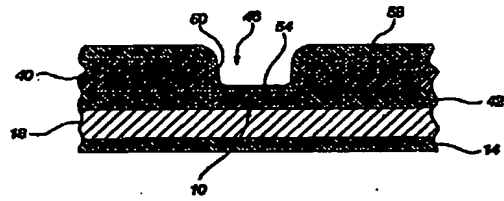
【図2】



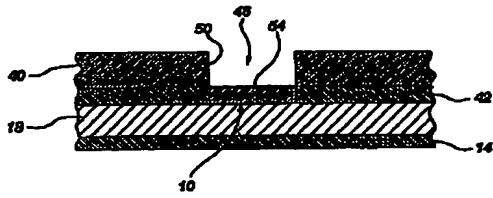
【図3B】



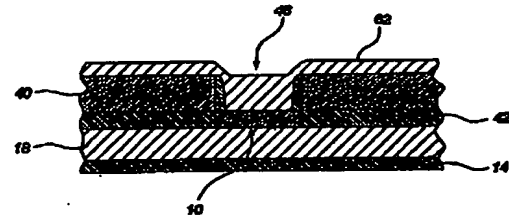
【図3D】



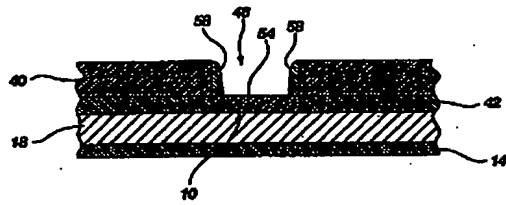
【図3C】



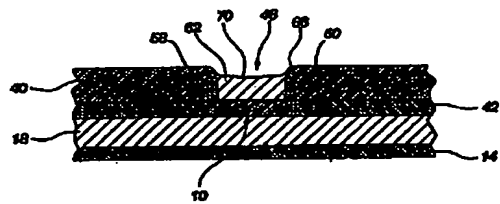
【図3F】



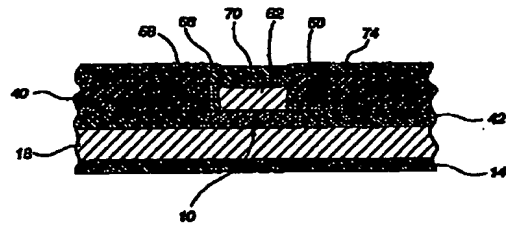
【図3E】



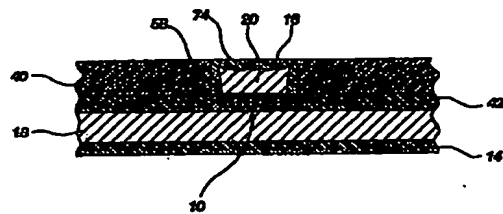
【図3G】



【図3H】



【図3I】



フロントページの続き

(72)発明者 トーマス・シー・アンソニー
アメリカ合衆国カリフォルニア州94087,
サニーベイル, ヒメント・アベニュー・
1161

F ターム(参考) SF083 FZ10 GA05 GA13 JA19 JA37
JA60 PR03 PR04 PR22 PR40